

## ИМИТАЦИОННАЯ МОДЕЛЬ СИСТЕМЫ ЦИКЛОВОЙ СИНХРОНИЗАЦИИ ЦИФРОВОЙ СИСТЕМЫ ПЕРЕДАЧИ

**Кальников Владимир Викторович**, кандидат технических наук, доцент, окончил радиотехнический факультет Киевского высшего военного инженерного училища связи им. М.И. Калинина. Главный специалист ФНПЦ ОАО «НПО «Марс». Специализируется в области многоканальной электропроводной и волоконно-оптической связи. Имеет статьи, учебные пособия, патенты на изобретения в области проектирования и боевого применения цифровых и волоконно-оптических систем передачи. E-mail: kvvik@bk.ru

**Береснев Юрий Иванович**, кандидат военных наук, окончил ВАС им. С.М. Буденного. Главный конструктор ФНПЦ ОАО «НПО «Марс». Специализируется в области организации и построения систем связи и обмена данными. Имеет публикации в области проектирования систем управления специального назначения. E-mail: mars@mv.ru

### Аннотация

Обосновываются подходы к построению имитационной модели системы цикловой синхронизации (СЦС) цифровой системы передачи (ЦСП). Приводится имитационная модель системы цикловой синхронизации, построенная с помощью пакета моделирования Simulink системы MATLAB 6.5. Подробно описывается один из основных элементов имитационной модели - блок внесения ошибок, позволяющий имитировать как одиночные ошибки, так и пачки ошибок случайной длины.

### Abstract

The authors justify approaches to creation of simulation model for cycle synchronization system of digital data transmission system. The article cites a simulation model for cycle synchronization system built using the Simulink simulation package of the MATLAB 6.5 system. The authors describe in detail one of the main elements of the simulation model called Error Unit allowing to simulate either singular errors or error bursts of random length.

Математическое моделирование систем цикловой синхронизации цифровых систем передачи предполагает процесс замены реальной системы некоторой математической моделью, исследование которой позволяет оценить характеристики реальной системы. Математическая модель СЦС может быть аналитической или имитационной. Характерной особенностью аналитических моделей является то, что процессы функционирования всей системы или ее элементов записываются в виде некоторых функциональных соотношений и логических условий. Как правило, исследование процесса работы СЦС методом аналитического моделирования удается проводить только в статическом режиме, без учета динамики взаимодействия элементов, составляющих систему. Этого недостатка лишено имитационное моделирование, сущность которого заключается в воспроизведении процесса функционирования СЦС во времени с имитацией элементарных событий, составляющих этот процесс, и сохранением их логической структуры, последовательности протекания во времени и взаимосвязей между элементами системы. Метод имитационного моделирования дает возможность исследовать СЦС практически в любых условиях ее работы и получать сведения о

состоянии процесса функционирования в определенные промежутки времени.

Важной составляющей имитационной модели является модель источника ошибок. От корректности её построения зависит выполнение основного требования к модели канала - соответствия основных свойств моделируемого и реального каналов. При импульсной модуляции в качестве воздействующих факторов на цикл передачи многоканального цифрового сигнала рассматривают помехи, вызывающие искажения символов (ошибки) цикла передачи, а также нарушения периодичности следования циклов передачи (проскальзывания). При этом для оценки помехоустойчивости СЦС в модели учитывают влияние помех в линейном тракте, вызывающих «необнаружение» циклового синхросигнала и ложные сбои синхронизма, а для оценки быстрой реакции системы - влияние проскальзываний, вызывающих истинные сбои синхронизма.

Известно, что ошибки в цифровом тракте передачи обладают тенденцией к группированию [1]. Вследствие различной физической природы мешающих воздействий вызываемые ими образования ошибок в реальных цифровых трактах передачи имеют сложную структуру: ошибки группируются в пакеты различной дли-

ны, пакеты - в цепочки пакетов, которые могут налагаться друг на друга. С другой стороны, часто считают, что в реальных цифровых каналах распределение ошибок в пакетах близко к независимому. Важно отметить и тот факт, что существенное изменение быстродействия и помехоустойчивости СЦС характерно при значениях вероятности ошибочного приема одиночного символа более  $10^{-3}$ , когда распределение ошибок в пакетах и самих пакетов близко к равномерному [2]. Очевидно, что если распределение ошибок в групповом цифровом сигнале считать равномерным, то и распределение проскальзываний будет таким же. Исходя из этого, в качестве модели одиночных ошибок и пачек ошибок, а также проскальзываний при имитационном

моделировании СЦС использованы стандартные датчики псевдослучайных последовательностей с равномерным распределением в соответствующих интервалах.

СЦС включает в себя передатчик и приемник циклового синхросигнала и является составной частью ЦСП. Поэтому для построения имитационной модели СЦС возникла необходимость имитационного моделирования и некоторых элементов ЦСП. Рассмотрим имитационную модель СЦС, построенную с помощью пакета моделирования Simulink системы MATLAB 6.5 (на рис. 1 приведен пример копии экрана). Блоки построенной имитационной модели имеют следующее назначение.

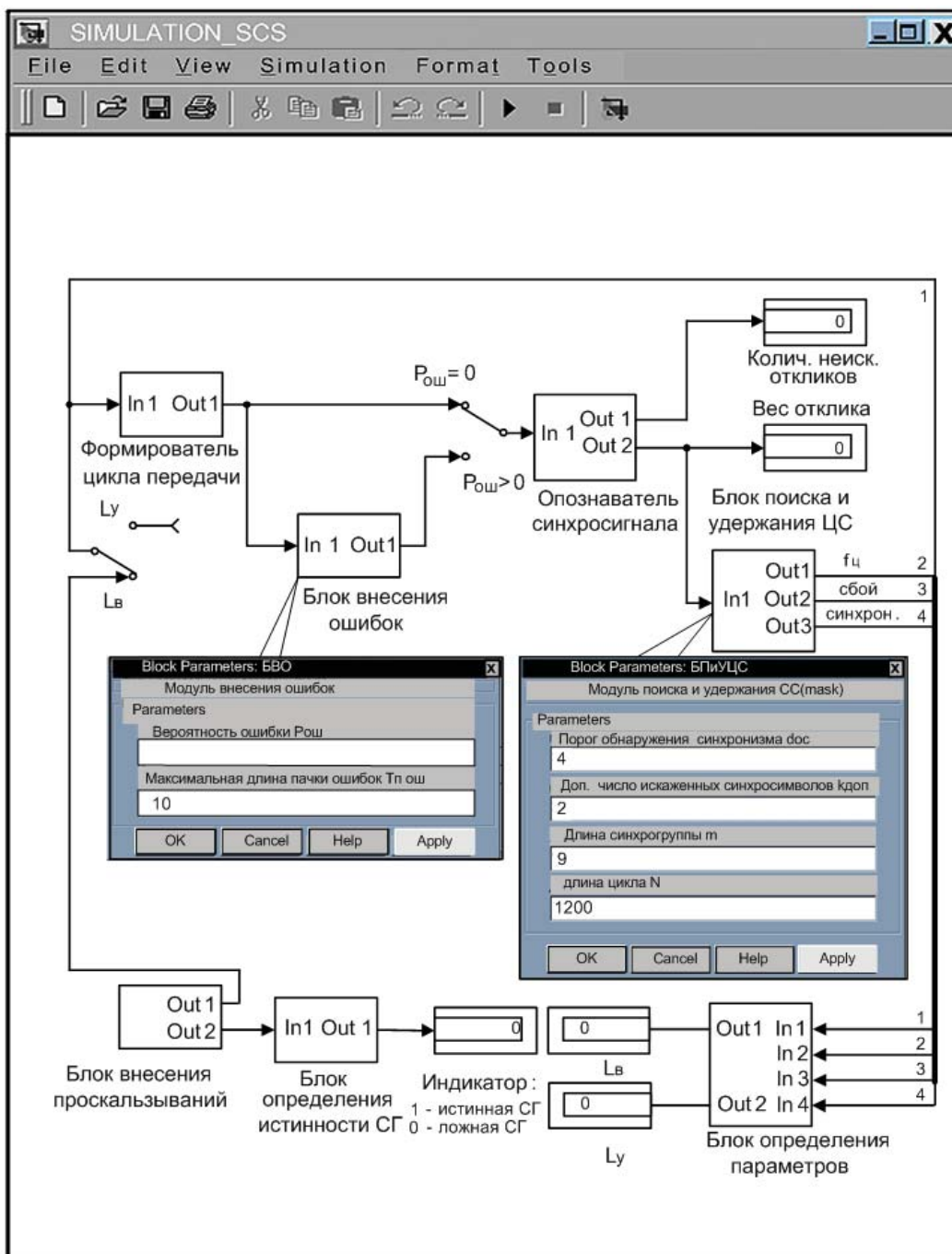


Рис. 1. Пример копии экрана имитационной модели СЦС

С помощью формирователя цикла передачи имитируется цикловая структура многоканального цифрового сигнала.

Опознаватель циклового синхросигнала служит для опознавания в принимаемом многоканальном цифровом сигнале кодовых комбинаций, полностью или частично совпадающих с кодом синхрогруппы.

Блок поиска и удержания циклового синхронизма предназначен для поиска, определения и удержания циклового синхронизма.

С помощью блока определения параметров системы цикловой синхронизации определяется время восстановления  $L_v$  и удержания  $L_y$  циклового синхронизма, характеризующее, соответственно, быстродействие и помехоустойчивость СЦС.

Блок определения истинности циклового синхронизма служит для определения и индикации истинности или ложности обнаруженного циклового синхронизма.

Блок внесения проскальзываний предназначен для внесения отрицательных проскальзываний различной величины. Проскальзывание многоканального цифрового сигнала в тракте моделируется прекращением формирования текущего цикла передачи с одновременным началом нового цикла, что сокращает длину текущего цикла и нарушает периодичность циклов.

Рассмотрим кратко один из основных элементов имитационной модели СЦС - блок внесения ошибок, пример копии экрана функциональной схемы которого представлен на рисунке 2. Блок внесения ошибок способен имитировать как одиночные ошибки, так и пакеты ошибок случайной длины.

Для моделирования вводятся следующие исходные данные: период внесения ошибки  $T_{ош}$ ,

максимальная длина пачки ошибок  $T_{п.ош}$  и вероятность ошибки в пачке ошибок  $P_{п.ош}$ . При этом воспроизводимые в процессе моделирования тактовые интервалы условно разбиваются на одинаковые периоды  $T_{ош}$ , где  $T_{ош} = 1/P_{ош}$ ,  $P_{ош}$  - вероятность ошибки одиночного символа в цифровом линейном тракте (ЦЛТ), в пределах которых должны вноситься одиночные ошибки с равномерным распределением в заданном периоде  $(0, T_{ош} - 1)$ . В начале процедуры внесения ошибок запускаются генератор случайных чисел и тактовый генератор. С помощью генератора случайных чисел генерируется случайное число  $V1$ , равномерно распределенное в заданном периоде  $(0, T_{ош} - 1)$ . Число  $V1$  является позицией в заданном периоде  $(0, T_{ош} - 1)$ , начиная с которой вносится одиночная ошибка либо пачка ошибок.

Коммутатор 1 предназначен для запоминания генерируемого случайного числа  $V1$ . Процесс запоминания случайного числа  $V1$  осуществляется следующим образом: при поступлении на управляющий вход коммутатора 1 логической единицы обеспечивается прохождение сигнала через его первый вход, а при воздействии логического нуля - через второй вход. С помощью замыкания выхода коммутатора 1 на его второй вход реализуется хранение числа  $V1$  до прихода на управляющий вход коммутатора 1 следующей логической единицы. Счетчик 1 обеспечивает установление периода внесения одиночной ошибки  $(0, T_{ош} - 1)$  с помощью подсчета тактовых импульсов, генерируемых тактовым генератором. Максимальное значение счета устанавливается равным  $T_{ош} - 1$ . Текущее значение счетчика 1 со счетного выхода  $Cnt$  поступает на модуль сравнения, на другой вход которого поступает число  $V1$  с выхода коммутатора 1. При

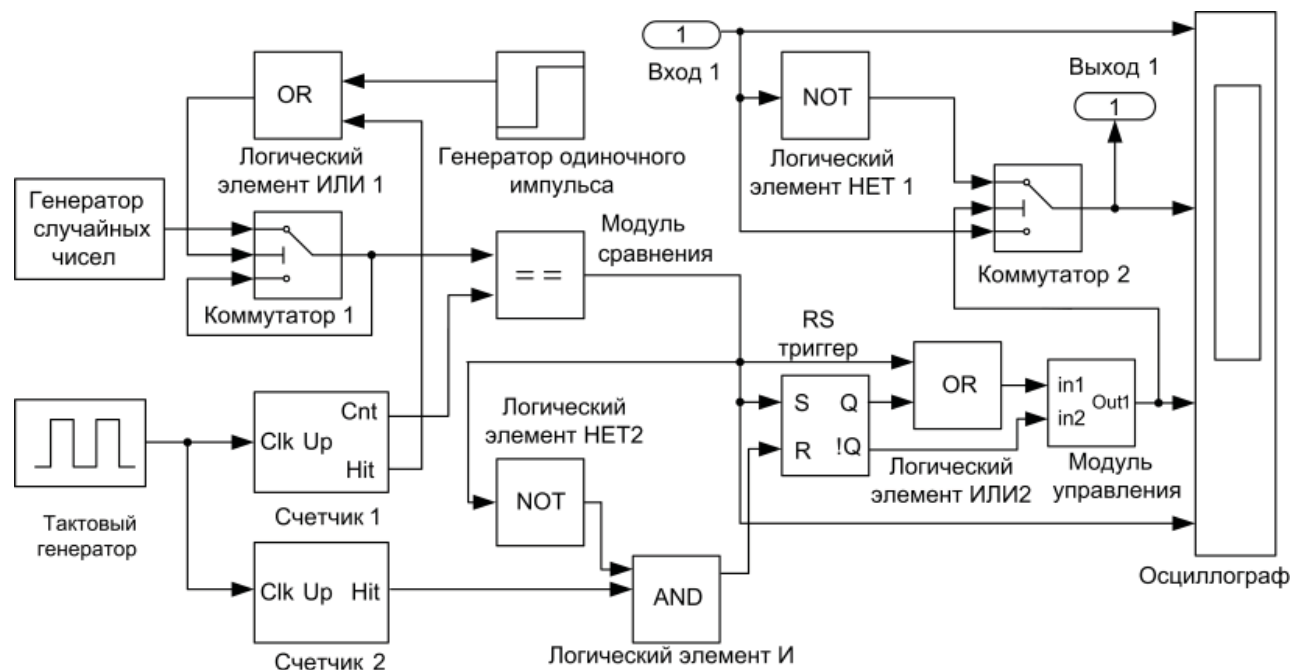


Рис. 2. Пример копии экрана блока внесения ошибок

совпадении сравниваемых чисел на выходе модуля сравнения формируется сигнал управления коммутатором (импульс логической единицы) для внесения ошибки в текущий символ цифрового сигнала ЦЛТ. Единичный импульс с выхода модуля сравнения, поступая на вход триггера RS, переводит его в единичное состояние, при котором производится внесение ошибки в текущий символ цифрового сигнала ЦЛТ. С помощью счетчика 2 устанавливается максимальная длительность пачки ошибок  $T_{п.ош}$ . Случайная длительность пачки ошибок обеспечивается случайностью состояния счетчика 2 в момент начала внесения ошибки (пачки ошибок), т.к. счётчик 2 настроен на непрерывный счёт тактовых импульсов, генерируемых тактовым генератором. Счётчик 2 считает тактовые импульсы до момента  $T_{п.ош}-1$ , при достижении которого на его выходе HiT формируется логическая единица, которая подается на вход сброса триггера RS, завершая формирование сигнала управления внесением ошибки (пачки ошибок). Сигналы с выходов триггера RS и модуля сравнения с помощью элемента ИЛИ 2 и блока модуля управления управляют коммутатором 2. При этом с помощью модуля управления моделируются либо «сплошные» пачки ошибок, либо пачки с заданной вероятностью ошибки  $P_{п.ош}$ . На первый вход коммутатора 2 поступает последовательность импульсов цифрового сигнала, инвертированная с помощью инвертора НЕТ 1, а на второй вход - неинвертированная исходная последовательность импульсов цифрового сигнала. Сигнал с выхода триггера управляет внесением ошибок в последовательность импульсов цифрового сигнала, поступающую на вход блока внесения ошибок. При достижении счетчиком 1 максимального состояния счета  $T_{ош}-1$  на его выходе HiT формируется единичный импульс, который управляет переключателем коммутатора 1,

подготавливая его к записи очередного случайного числа V1, генерируемого в начале каждого периода внесения ошибки  $T_{ош}-1$ . Элемент ИЛИ 1 и генератор одиночного импульса предназначены для формирования сигнала управления коммутатора 1 в начале работы. Элементы И, а также НЕТ 2 устраняют ситуации одновременного формирования управляющих сигналов на входах триггера RS (в результате чего может возникнуть ситуация невнесения ошибки в момент времени, определяемый сгенерированным случайным числом V1).

Построенная имитационная модель СЦС позволяет оценить основные характеристики быстродействия и помехоустойчивости исследуемой системы в зависимости от изменения внутренних параметров и качества среды передачи цифрового сигнала, определяемого вероятностью ошибочного приема одиночных и групп символов.

Выбор значений исходных данных для имитационного моделирования и диапазона их изменения производится исходя из условий функционирования моделируемого объекта и наиболее близкого соответствия значений. Поэтому для определения быстродействия исследуемой СЦС для имитационного моделирования выбирались следующие диапазоны изменения параметров: длина синхросигнала  $m=7 \div 12$ , порог обнаружения синхросигнала  $d_{oc}=2 \div 15$ , допустимое число искаженных синхроимпульсов  $k_{оош}=1 \div 4$ , вероятность ошибочного приема одиночного символа  $P_{ош}=10^{-4} \div 10^{-1}$ , максимальная длина пачки ошибок  $n_{ош\max}=1 \div 10$ , длина цикла передачи  $N=400 \div 1200$ , структура синхросигнала с одной, с  $m/2$  и  $m$  критическими точкам.

Для определения помехоустойчивости СЦС диапазон изменения параметров выбирался таким же, как и при определении ее быстродей-

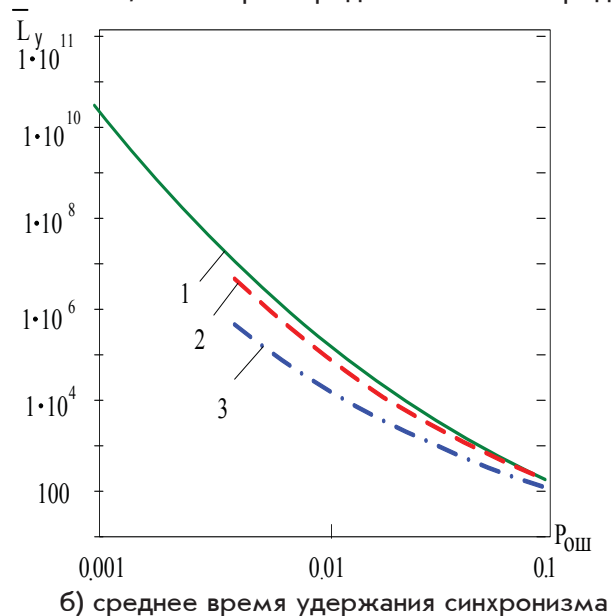
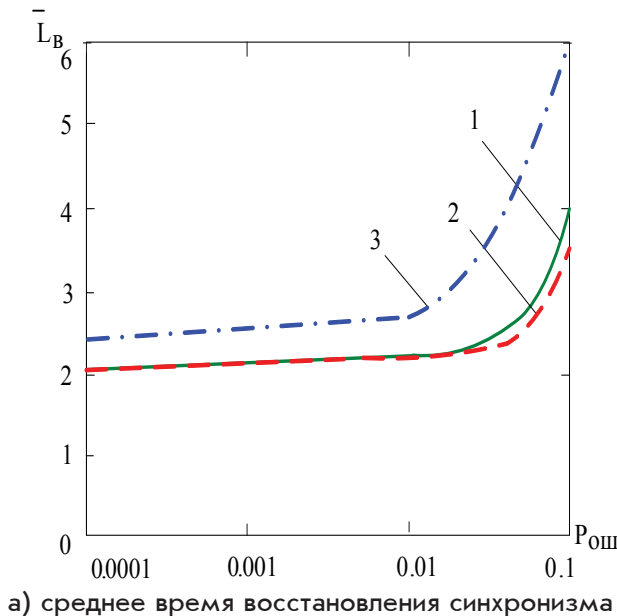
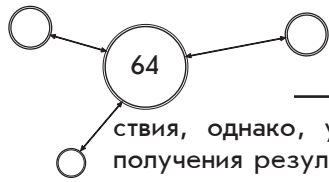


Рис. 3. Результаты имитационного и аналитического моделирования СЦС



ствия, однако, учитывая длительный характер получения результата даже для одной реализации эксперимента, диапазон изменения вероятности ошибочного приема одиночного символа выбирался следующим:  $P_{ош} = 10^{-2} \div 10^{-1}$ .

Некоторые результаты моделирования приведены на рис. 3. Показаны зависимости средних времен восстановления и удержания синхронизма от вероятности ошибок. Здесь же приведены результаты при пакетировании ошибок. Моделирование проводилось при следую-

щих исходных данных:  $N=1200$ ;  $m=9$ ;  $k_{ош}=2$ ;

$d_{ос}=4$ . Кривая 1 соответствует зависимостям, полученным при аналитическом моделировании

[3] (при  $n_{ош\ max}=1$ ). Кривые 2 и 3 соответствуют зависимостям, полученным при имитационном

моделировании при отсутствии ( $n_{ош\ max}=1$ ) и на-

личии пакетирования ошибок ( $n_{ош\ max}=10$ ) соответственно.

Таким образом, разработанная имитационная модель СЦС по сравнению с известными моделями полнее отражает процессы, протекающие при функционировании моделируемой системы, и позволяет получить оценки характеристик быстродействия и помехоустойчивости в условиях нестационарной сложной помеховой обстанов-

ки. Анализ результатов имитационного моделирования показал, что оно отражает процессы, протекающие в исследуемых СЦС, с точностью до погрешности эксперимента. Проверка соответствия результатов аналитического и имитационного моделирования показала адекватность аналитических моделей. При уровне значимости 0,05 и на трехстах экспериментах значения  $t$ -статистик не превышают критических.

#### СПИСОК ЛИТЕРАТУРЫ

1. Минкин, В.М. Экспериментальное исследование ошибок в цифровых линейных трактах / В.М. Минкин, Г.Е. Иткис // Труды НИИР. Сер. «Радиорелейная и спутниковая связь». — Вып. 1. — 1989. — С. 65-71.
2. Кальников, В.В. Имитационное моделирование системы цикловой синхронизации с параллельным поиском синхросигнала / В.В. Кальников, П.А. Панкратов, А.Г. Ташлинский; УВВИУС. — Ульяновск, 2006. — 54 с.: ил. — Деп. в ЦВНИ МО РФ 01.11.06, № Б6023.
3. Ташлинский А.Г. Математическое моделирование системы цикловой синхронизации с параллельным поиском / А.Г. Ташлинский, П.А. Панкратов, В.В. Кальников // Известия Волгоградского государственного технического университета. Серия «Актуальные проблемы управления, вычислительной техники и информатики в технических системах». — 2008. — № 5. — С. 143-145.