

УДК 681.32

С.Ф. Тюрин, В.Г. Зарубский

## ФУНКЦИОНАЛЬНО-ПОЛНЫЕ ТОЛЕРАНТНЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ, ПАРИРУЮЩИЕ ДВА И ТРИ ОТКАЗА В КАЖДОЙ ТРАНЗИСТОРНОЙ СТРУКТУРЕ

**Тюрин Сергей Феофентович**, заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматики и телемеханики Пермского национального исследовательского политехнического университета. Имеет статьи, монографии, изобретения в области отказоустойчивых элементов и устройств вычислительной техники и систем управления. [e-mail: tyurinsergfeo@yandex.ru].

**Зарубский Владимир Георгиевич**, кандидат технических наук, доцент кафедры режима и охраны в уголовно-исполнительной системе Пермского института Федеральной службы исполнения наказаний Российской Федерации. Имеет статьи, монографии в области отказоустойчивых элементов и устройств вычислительной техники и систем управления. [e-mail: volen3030@rambler.ru].

### Аннотация

Надежность функционирования систем управления различных технологических процессов напрямую зависит от надежности элементной базы, послужившей основой для её построения. В статье рассматриваются функционально-полные толерантные логические элементы (ФПТЛЭ), входящие в состав программируемых логических интегральных схем (ПЛИС) типа FPGA для высоконадёжных применений и обладающие способностью сохранения исходной функции при отказах двух и трёх транзисторов в каждой транзисторной структуре. Проведен анализ сложности предложенных ФПТЛЭ2, обладающих девятикратной избыточностью и парирующих отказ двух транзисторов в каждой транзисторной структуре, а также ФПТЛЭ3 с шестнадцатикратной избыточностью, парирующих отказ трех транзисторов в каждой транзисторной структуре по сравнению с ФПТЛЭ1, парирующих отказ одного транзистора в каждой транзисторной структуре. Сравниваются ФПТЛЭ1, 2, 3 – FCTLUT1, 2, 3 (Functional Complete Tolerant Look Up Table) по вероятности безотказной работы с троированными структурами логических элементов ПЛИС типа FPGA.

Ключевые слова: логический элемент, ПЛИС типа FPGA, LUT, транзистор, функционально-полный толерантный логический элемент – ФПТЛЭ, избыточность, вероятность безотказной работы, троирование, расчетверение, девятикратная избыточность, шестнадцатикратная избыточность.

## FUNCTIONAL COMPLETE TOLERANT LOGICAL COMPONENTS PARRYING TWO AND THREE FAILURE IN EACH TRANSISTOR STRUCTURE

**Sergei Feofentovich Tiurin**, Honored Inventor of the Russian Federation; Doctor of Engineering; Professor at the Department of Automation and Telemechanics of Perm National Research Polytechnic University; an author of articles, monographs, inventions in the field of fault-tolerant elements and devices of computers and control systems. e-mail: tyurinsergfeo@yandex.ru.

**Vladimir Georgievich Zarubskii**, Candidate of Engineering, Associate Professor of Regime and Security in Penal System Department of Perm Institute of the Federal Penal Service of the Russian Federation; an author of articles, monographs, inventions in the field of fault-tolerant elements and devices of computers and control systems. e-mail: volen3030@rambler.ru.

### Abstract

Reliability of control systems of various technological processes depends on the reliability of the circuitry constituting the basis for its structure. The article deals with functional complete tolerant look up table – FCTLUT included in the field-programmable gate array (FPGA) for high-reliability applications, with the ability to save original function in case of failure of two or three transistors in each transistor structure. The analysis of the complexity of the proposed FCTLUT2 with nine-fold redundancy parrying the failure of two transistors in each transistor structure and FCTLUT3 with sixteen-fold redundancy parrying the refusal of three transistors in each transistor structure compared with FCTLUT1 parrying the failure of one transistor in each transistor structure. FCTLUT1, 2, and 3 are compared on the probability of failure-free operation with triplication structures of logic elements of the FPGA.

Key words: logical element, FPGA, LUT, transistor, functional complete tolerant look up table – FCTLUT, redundancy, probability of no-failure operation, triplication, quadrupling, nine-fold redundancy, sixteen-fold redundancy.

**ВВЕДЕНИЕ**

Во многих отраслях промышленности предъявляются повышенные требования к надёжности элементов автоматизированных и автоматических систем управления технологическими процессами. Это связано с тем, что возникновение сбоев или отказов в работе последних может привести к возникновению чрезвычайных происшествий и ситуаций. Решение вопроса повышения надежности систем управления может быть связано с применением в качестве элементной базы, используемой для создания автоматизированных и автоматических систем управления, программируемых логических интегральных схем (ПЛИС) типа FPGA (Field-Programmable Gate Array), реализующих функции на основе функционально-полных толерантных логических элементов (ФПТЛЭ), обладающих свойствами повышенной надежности.

Однако практическая реализация данного предложения осложнена существующим на сегодняшний день технологическим ограничением Мида и Конвей [1], не допускающим наличия более 4-х транзисторов в последовательной цепочке при проектировании больших интегральных схем (БИС). Такое же ограничение соблюдается в логических элементах базовых матричных кристаллов [2–6], использующих КМДП-транзисторы. Дело в том, что чем больше длина цепочки, тем ниже помехоустойчивость. Ограничение «4 транзистора» соблюдается и в логических элементах программируемых пользователем вентильных матриц (ППВМ) – ПЛИС типа FPGA [7, 8].

Логический элемент – ячейка LUT (Look Up Table) ПЛИС FPGA [7, 8] реализует любую функцию одной переменной и строится на основе мультиплексора 2–1 (рис. 1):

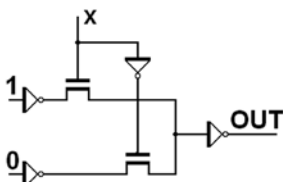


Рис. 1. LUT1-мультиплексор 2–1

Настройка осуществляется подачей констант на входы инверторов 0, 1. Для построения LUT2-мультиплексора 4–1 необходимо три LUT1 (рис. 2):

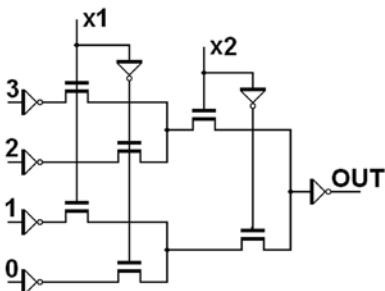


Рис. 2. LUT2-мультиплексор 4–1

При ограничении «4 транзистора» на входе последнего, третьего LUT1 инверторы не нужны. Настройка осуществляется подачей констант на входы инверторов 0, 1, 2, 3. Аналогично строится LUT3-мультиплексор 8–1 (рис. 3):

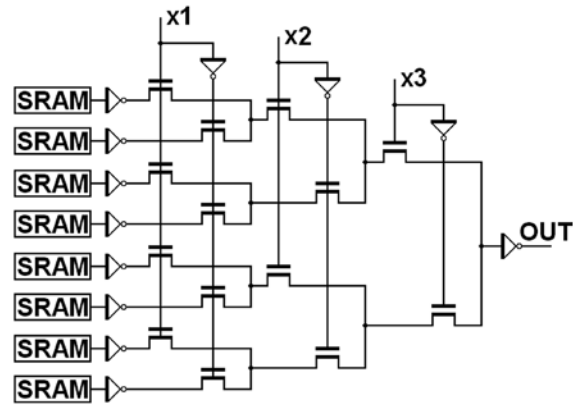


Рис. 3. LUT3-мультиплексор 8–1

На рисунке 3 указаны ячейки конфигурационной памяти SRAM. LUT4-мультиплексор 16–1 изображён на рисунке 4:

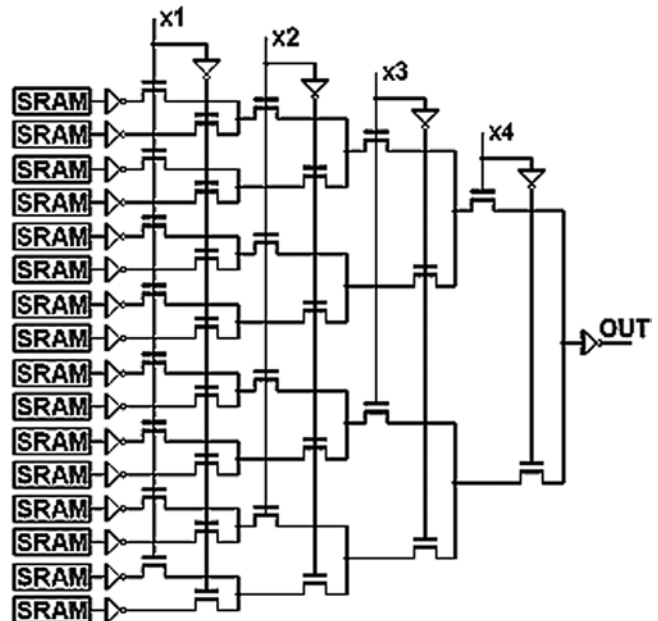


Рис. 4. LUT4-мультиплексор 16–1

Реализация функции 5, 6 и более переменных требует каскадирования элементов, реализующих функцию 4-х переменных [9, 10]. Так для 5 переменных необходимо введение инверторов (восстановителей сигнала) по входу последнего LUT1, иначе ограничение будет нарушено (рис. 5):

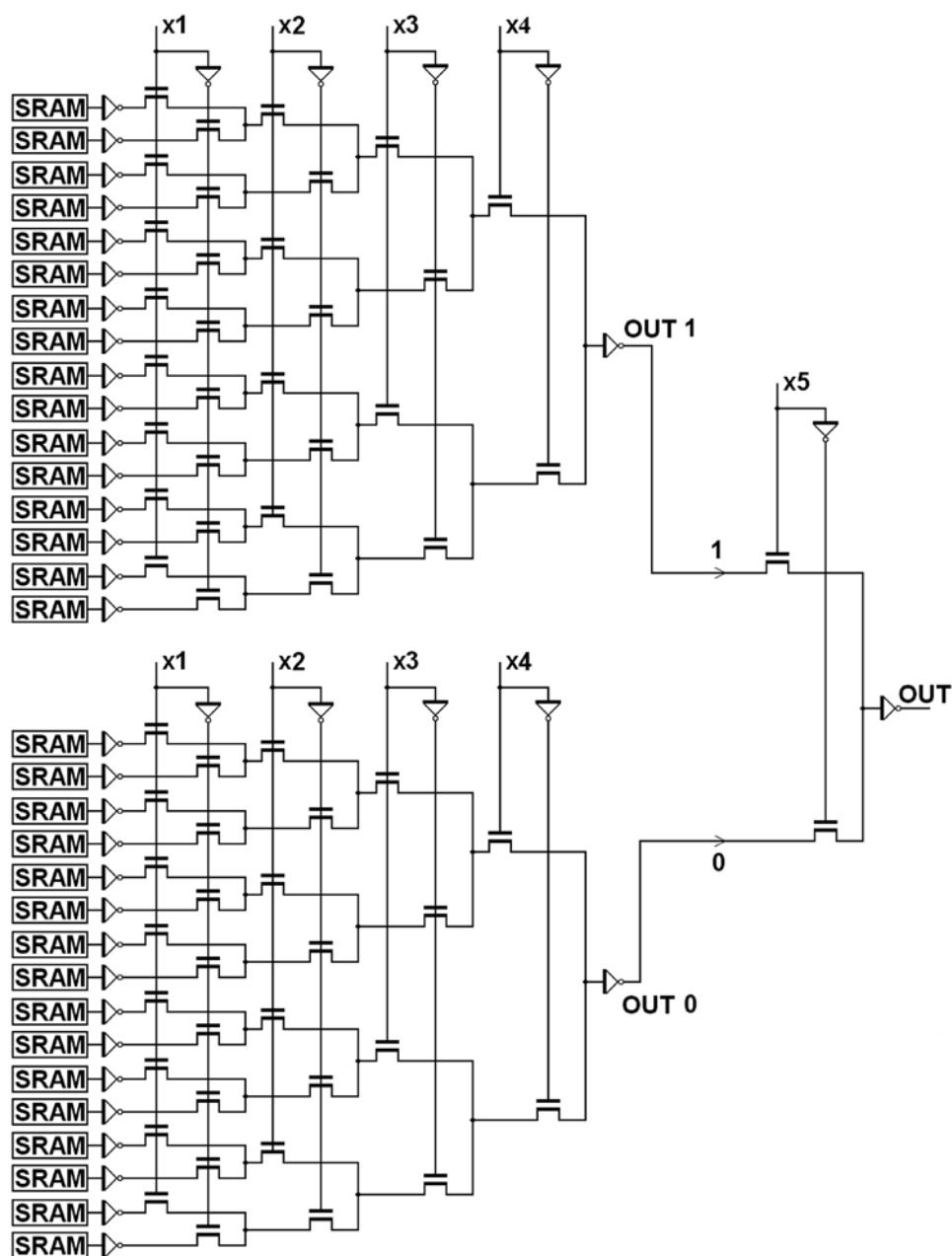


Рис. 5. LUT5-мультиплексор 32–1

То есть обеспечивается восстановление сигнала, проходящего по ветвям дерева транзисторов. При этом настройка функции будет инверсной (три инвертора в ветви). Так же могут быть построены LUT6-мультиплексор 64-1 и LUT7-мультиплексор 128–1. Есть информация об использовании и LUT8-мультиплексора 256–1.

Это ограничение создаёт проблемы для структурного резервирования на транзисторном уровне логики [12–15]. В связи с этим вызывает интерес построение отказоустойчивой логики, особенно в связи с задачей разработки отказоустойчивых схем.

### 1 ОТКАЗОУСТОЙЧИВЫЙ FCTLUT1 ПЛИС FPGA

Для получения отказоустойчивого ФПТЛЭ [13–15] – FCTLUT1-1 ПЛИС FPGA может быть предложено так называемое расчетверение (учетверение) транзисторов (рис. 6):

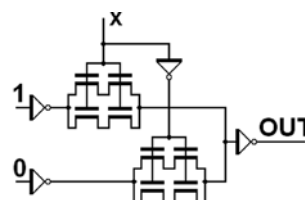


Рис. 6. Отказоустойчивый FCTLUT1-1 с транзисторным резервированием

FCTLUT1 парирует отказ одного любого транзистора в каждой транзисторной структуре – в каждой четвёрке транзисторов, вероятность его безотказной (бессбойной) работы [16, 17] может быть оценена выражением:

$$P(t) = e^{-(4)\lambda \cdot t} + 4 \cdot e^{-3\lambda \cdot t} (1 - e^{-1\lambda \cdot t}), \quad (1)$$

где  $\lambda$  – интенсивность отказов,  $t$  – время.

Аналогичные структуры используются и в инверторах и ячейках конфигурационной памяти. Такое резервирование приводит к тому, что требуемое ограничение «4 транзистора» выполняется лишь до LUT2 (на две переменные) (рис. 7):

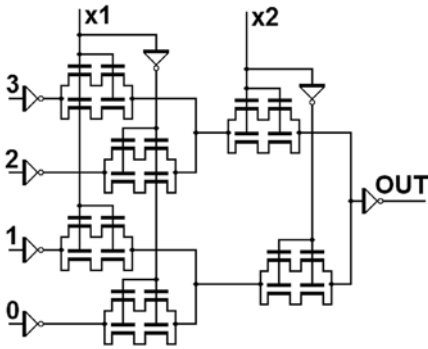


Рис. 7. Отказоустойчивый FCTLUT1-2 с транзисторным резервированием

Таким образом, для LUT3 (на три переменные) уже требуется восстановление сигнала и инверсная настройка (рис. 8):

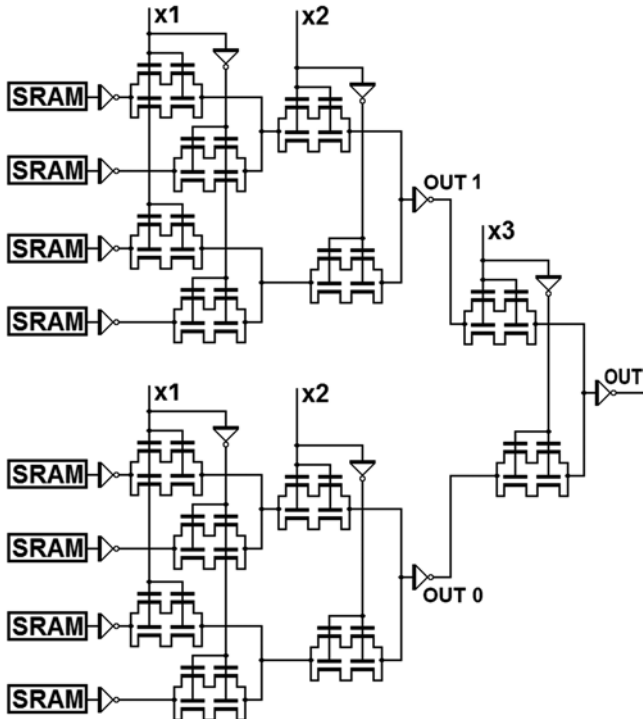


Рис. 8. Отказоустойчивый FCTLUT1-3

Инверторы по входам на рисунке 8 будут общими для двух ветвей дерева, однако необходимо учитывать их нагрузочную способность, а при её превышении каждая ветвь может иметь свои инверторы. Сложность неотказоустойчивого LUT (рис. 4) в количестве транзисторов при  $n \leq 4$  можно оценить выражением:

$$L_n = 2^n \cdot 8 + 2^{n+1} + 2n, \quad (2)$$

где  $n$  – разрядность LUT.

При декомпозиции  $n$ -дерева по  $k$  LUT,  $k \in \{1, 2, 3, 4\}$ ,  $n \geq k$ ,  $n \leq 8$ :

$$L_{n,k} = 2^n \cdot 8 + (2^{k+1} + 2k) \cdot 2^{n-k} + (2^{2^{n-k}+1} + 2^{n-k+1}) + 2n. \quad (3)$$

## 2 Отказоустойчивый FCTLUT2 ПЛИС FPGA

Для получения ФПТЛЭ2-1 – FCTLUT2-1 ПЛИС FPGA могут быть предложены структуры с девятикратной избыточностью (рис. 9):

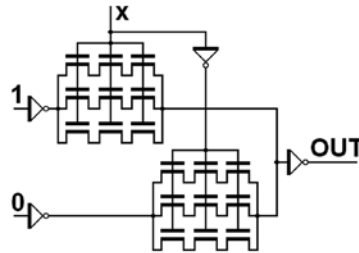


Рис. 9. Отказоустойчивый FCTLUT2-1

Отказоустойчивый FCTLUT2-2 изображен на рисунке 10:

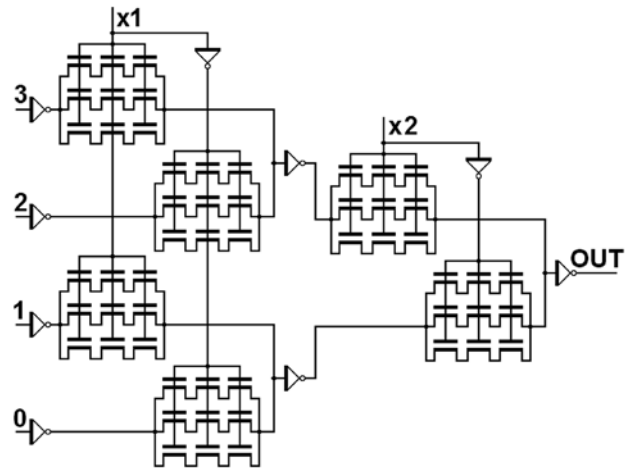


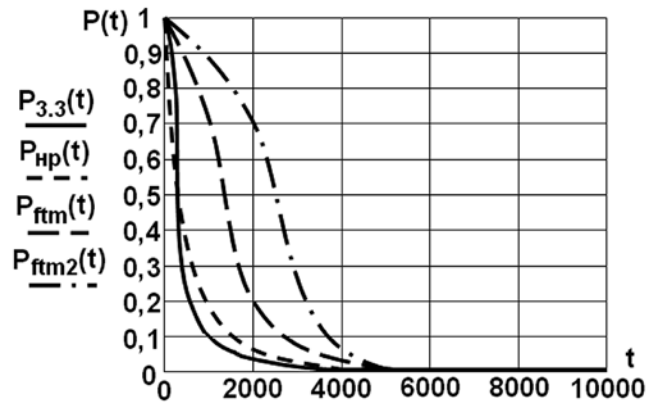
Рис. 10. Отказоустойчивый FCTLUT2-2

Таким образом, парируется отказ любых 2-х транзисторов в каждой транзисторной структуре, включая инверторы, а вероятность безотказной (бессбойной) работы [16, 17] оценивается как:

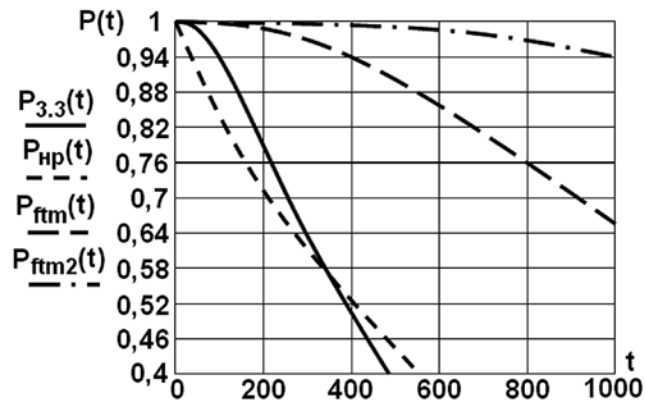
$$P(t) = e^{-9\lambda t} + 9 \cdot e^{-8\lambda t} (1 - e^{-1\lambda t}) + 36 \cdot e^{-7\lambda t} (1 - e^{-1\lambda t})^2, \quad (4)$$

где 9 – число вариантов отказов одного транзистора,  
36 – число вариантов отказов двух транзисторов.

При этом необходима девятикратная избыточность. Сравнение вероятностей безотказной работы (экспоненциальная модель отказов) нерезервированной схемы  $P_{np}(t)$ , схемы FCTLUT, парирующей один отказ  $P_{ftm}(t)$ , троированного LUT с тремя мажоритарными элементами  $P_{3.3}(t)$  и схемы FCTLUT, парирующей два отказа  $P_{ftm2}(t)$ , изображено на рисунке 11:



а)



б)

Рис. 11. Графики изменения вероятностей безотказной работы нерезервированной схемы  $P_{np}(t)$ , схемы FCTLUT, парирующей один отказ  $P_{ftm}(t)$ , троированного LUT с тремя мажоритарными элементами  $P_{3.3}(t)$  и схемы FCTLUT, парирующей два отказа  $P_{ftm2}(t)$ , при  $n=4$  и интенсивности отказов 10 в минус пятой степени 1/час:

- а) в диапазоне вероятности от 1 до 0;  
б) в диапазоне вероятности от 1 до 0,4

### 3 ОТКАЗОУСТОЙЧИВЫЙ FCTLUT3 ПЛИС FPGA

Для получения ФПТЛЭЗ-1 – FCTLUT3-1 ПЛИС FPGA могут быть предложены структуры с шестнадцатикратной избыточностью (рис. 12):

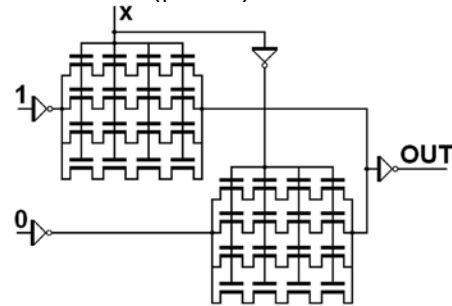


Рис. 12. Отказоустойчивый FCTLUT3-1

Отказоустойчивый FCTLUT3-2 изображен на рисунке 13:

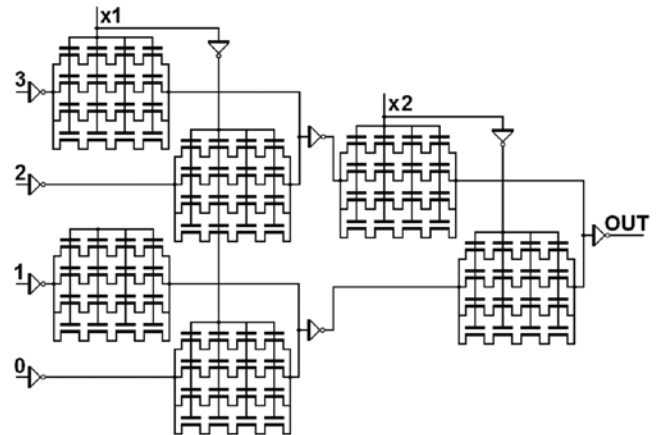


Рис. 13. Отказоустойчивый FCTLUT3-2

Таким образом, парируется отказ любых 3-х транзисторов в каждой транзисторной структуре, включая инверторы:

$$P(t) = e^{-16\lambda t} + 16 \cdot e^{-15\lambda t} (1 - e^{-1\lambda t}) + 120 \cdot e^{-14\lambda t} (1 - e^{-1\lambda t})^2 + 560 \cdot e^{-13\lambda t} (1 - e^{-1\lambda t})^3, \quad (5)$$

где 16, 120, 560 – число вариантов отказов одного, двух и трех транзисторов соответственно.

При этом необходима шестнадцатикратная избыточность. Графики изменения вероятностей безотказной работы нерезервированной схемы  $P_{np}(t)$ , схемы FCTLUT, парирующей один отказ  $P_{ftm2}(t)$ , схемы FCTLUT, парирующей два отказа  $P_{ftm3}(t)$ , и схемы FCTLUT, парирующей три отказа  $P_{ftm4}(t)$ , при  $n=4$  изображены на рисунке 14:

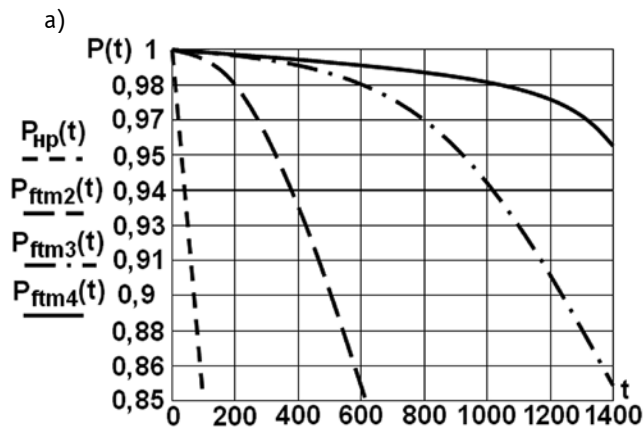
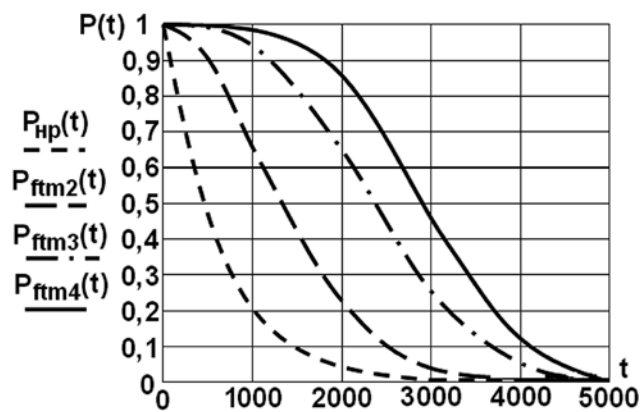


Рис. 14. Графики изменения вероятностей безотказной работы нерезервированной схемы  $P_{np}(t)$ , схемы FCTLUT, парирующей один отказ  $P_{ftm2}(t)$ , схемы FCTLUT, парирующей два отказа  $P_{ftm3}(t)$ , и схемы FCTLUT, парирующей три отказа  $P_{ftm4}(t)$ , при  $n=4$  и интенсивности отказов 10 в минус пятой степени 1/час:

- а) в диапазоне вероятности от 1 до 0;
- б) в диапазоне вероятности от 1 до 0,85

**ЗАКЛЮЧЕНИЕ**

Таким образом, предложенные ФПТЛЭ – FTLUT1 позволяют получить более высокую вероятность безотказной работы LUT, чем триирование, причём на всём временном диапазоне. Для парирования любого одного отказа в каждой транзисторной структуре необходима четырёхкратная избыточность. Для парирования любых двух отказов в каждой транзисторной структуре необходима девятикратная избыточность FTLUT2, позволяющая достичь более существенной вероятности безотказной работы, чем FTLUT1, но и её превосходит на всём временном интервале FTLUT3, парирующий отказы любых трёх транзисторов в каждой транзисторной структуре, для реализации которой требуется шестнадцатикратная избыточность. Возможно также дополнительно резервировать связи транзисторов.

FTLUT могут быть использованы в так называемых адаптивных логических модулях АЛМ ПЛИС FPGA [9] для RHBD (Radiation Hardening by Design) процессоров и устройств бортовых цифровых вычислительных комплексов, обеспечивающих радиационную стойкость посредством архитектурных решений.

**СПИСОК ЛИТЕРАТУРЫ**

1. Ульман Дж.Д. Вычислительные аспекты СБИС : пер. с англ. А.В. Неймана / под ред. П.П. Пархоменко. – М. : Радио и связь, 1990. – 480 с.
2. Библиотека элементов для проектирования самосинхронных полужаказных микросхем серий 5503/5507 и 5508/5509 / Ю.А. Степченков [и др.]. – М. : ИПИ РАН, 2008. – 296 с.
3. Базовые матричные кристаллы. – URL: [http://www.asic.ru/index.php?option=com\\_content&view=article&id=52&Itemid=92](http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92) (дата обращения 27.06.2016).
4. САПР «Ковчег 3.0» для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529 / С.В. Гаврилов, А.Н. Денисов, В.В. Коняхин, М.М. Макарецца. – М., 2013. – 295 с.
5. Библиотека функциональных ячеек для проектирования полужаказных микросхем серий 5503 и 5507 / А.Н. Денисов, Ю.П. Фомин, В.В. Коняхин, Р.А. Федоров; под общ. ред. А.Н. Саурова. – М. : Техносфера, 2012. – 304 с.
6. Угрюмов Е.П. Цифровая схемотехника : учеб. пособие. – СПб. : БХВ-Петербург, 2004. – 518 с.
7. Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри. – URL: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (дата обращения: 16.12.2014).
8. Золотуха Р., Комолов Д. Stratix III – новое семейство FPGA фирмы Altera. – URL: [http://kit-e.ru/assets/files/pdf/2006\\_12\\_30.pdf](http://kit-e.ru/assets/files/pdf/2006_12_30.pdf) (дата обращения 28.11.2015).
9. Использование ресурсов ПЛИС Stratix III фирмы Altera при проектировании микропроцессорных ядер. – URL: <file:///C:/Users/%D0%A2%D1%8E%D1%80%D0%B8%D0%BD/Desktop/%D0%A6%D1%8B%D0%B1%D0%B8%D0%BD%2010%20%D0%B3%D0%BE%D0%B4.pdf> (дата обращения: 27.11.2015).
10. Глебов А.Л. SP-BDD-модель цифровых КМОП-схем и ее приложения в оптимизации и моделировании. – URL: <http://technomag.edu.ru/doc/49908.html> (дата обращения 28.06.2015).
11. Состав серии БМК 5529. – URL: [http://www.asic.ru/index.php?option=com\\_content&view=article&id=52&Itemid=92](http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92) (дата обращения 16.03.2016).
12. Kamenskih A.N., Tyurin S.F., Stepchenkov Y.A. The problem of a fault-tolerant self-timed circuit analysis on semi-modularity and energy-reliability // Russian Electrical Engineering. 2015. № 11. pp. 602–609.
13. Тюрин С.Ф., Громов О.А., Греков А.В. Функционально-полный толерантный элемент ФПТ+ // Научно-технические ведомости Санкт-Петербургского государственного политехнического университета. – 2011. – № 1 (115). – С. 24–31.
14. Пат. 2573226 РФ, МПК G11C 11/40. Ячейка статической оперативной памяти / Тюрин С.Ф. ; заявитель и патентообладатель Тюрин С.Ф. ; № 2014110973/08 ; заявл. 21.03.2014; опубл. 20.01.2016, Бюл. № 2.
15. Чекмарёв С.А. Способ и система инъекции ошибок для тестирования сбоеустойчивых процессоров бортовых систем космических аппаратов // Вестник Сибирского государственного аэрокосмического университета

им. ак. М.Ф. Решетнева. – 2014. – Вып. № 4 (56). – URL: <http://cyberleninka.ru/article/n/sposob-i-sistema-inektsii-oshibok-dlya-testirovaniya-sboeustoychevyh-protssessorov-bortovyh-sistem-kosmicheskikh-apparatov> (дата обращения: 16.12.2016).

16. Надежность и эффективность в технике. Справочник в 10 т. / ред. совет: В.С. Авдеевский (пред.) [и др.]. Т. 2. Математические методы в теории надежности и эффективности / под ред. Б.В. Гнеденко. – М.: Машиностроение, 1987. – 280 с.

17. Шубинский И.Б. Надежные отказоустойчивые информационные системы. Методы синтеза. – М.: Журнал «Надежность», 2016. – 544 с.

## REFERENCES

1. Ullman Jeffrey D. *Vychislitelnye aspekty SBIS*. Perevod s angl. A.V. Neiamna. pod red. P.P. Parkhomenko [Computational Aspects of VLSI. Translated from Engl. by A.V. Neiman. Edited by P.P. Parkhomenko]. Moscow, Radio i sviaz Publ., 1990. 480 p.

2. Stepchenkov Iu.A. et al. *Biblioteka elementov dlia proektirovaniiasamosinkhronnykhpoluzakaznykhmikroskhem serii 5503/5507 i 5508/5509* [Library of Elements for the Development of 5503/5507 and 5508/5509 Semicustom Chips Families]. Moscow, IPI RAN Publ., 2008. 296 p.

3. *Bazovye matrichnye kristally* [Uncommitted Logic Array]. Available at: [http://www.asic.ru/index.php?option=com\\_content&view=article&id=52&Itemid=92](http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92) (accessed: 27.06.2016).

4. Gavrilov S.V., Denisov A.N., Koniakhin V.V., Makartseva M.M. *SAPR "Kovcheg 3.0" dlia proektirovaniia mikroskhem na BMK serii 5503, 5507, 5521 i 5529* [Covcheg 3.0 CAD for Development of IC on 5503, 5507, 5521, and 5529 ULA families]. Moscow, 2013. 295 p.

5. Denisov A.N., Fomin Iu.P., Koniakhin V.V., Fedorov R.A. *Biblioteka funktsionalnykh iacheek dlia proektirovaniia poluzakaznykh mikroskhem serii 5503 i 5507*. Pod obshch. red. A.N. Saurova. [A Library of Functional Cells for Semicustom IC Design on 5503 i 5507 Families. Edited by A.N. Saurov]. Moscow, Tekhnosfera Publ., 2012. 304 p.

6. Ugrumov E.P. *Tsifrovaia skhemotekhnika. Ucheb. posobie* [Digital Circuit Technology. Textbook]. St. Petersburg, BHV-Peterburg Publ., 2004. 518 p.

7. Tsybin S. *Programmruemaia kommutatsiia PLIS: vzgliad iznutri* [PLIS Programmable Switching: Viewing for Internal Things]. Available at: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (accessed: 16.12.2014).

8. Zolotukha R., Komolov D. *Stratix III – novoe semeistvo FPGA firmy Altera* [Stratix III is a new Altera's FPGA Family]. Available at: [http://kit-e.ru/assets/files/pdf/2006\\_12\\_30.pdf](http://kit-e.ru/assets/files/pdf/2006_12_30.pdf) (accessed: 28.11.2015).

9. *Ispolzovanie resursov PLIS Stratix III firmy Altera pri proektirovanii mikroprotssessornykh yader* [Use of Resources of Altera PLIS Stratix III at the Microprocessor Cores Design].

Available at: <file:///C:/Users/%D0%A2%D1%8E%D1%80%D0%B8%D0%BD/Deskop/%D0%A6%D1%8B%D0%B1%D0%B8%D0%BD%2010%20%D0%B3%D0%BE%D0%B4.pdf> (дата обращения: 27.11.2015).

10. Glebov A.L. *SP-BDD-model tsifrovyykh KMOP-skhem i ee prilozheniia v optimizatsii i modelirovanii* [SP-BDD-Model of Digital CMOS Circuits and its Application in Optimization and Modeling]. Available at: <http://technomag.edu.ru/doc/49908.html> (accessed: 28.06.2015).

11. *Sostav serii BMK 5529* [Specifications of 5529 ULA Family]. Available at: [http://www.asic.ru/index.php?option=com\\_content&view=article&id=52&Itemid=92](http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92) (accessed: 16.03.2016).

12. Kamenskikh A.N., Tiurin S.F., Stepchenkov Y.A. The Problem of a Fault-Tolerant Self-Timed Circuit Analysis on Semi-Modularity and Energy-Reliability. *Russian Electrical Engineering*, 2015, no. 11, pp. 602–609.

13. Tiurin S.F., Gromov O.A., Grekov A.V. Funktsionalno-polnyi tolerantnyi element FPT+ [Functionally-Complete Tolerant Element]. *Nauchno-tekhnicheskie vedomosti Sankt-Peterburgskogo gosudarstvennogo politekhnicheskogo universiteta* [Proc. of St. Petersburg Polytechnic University Journal of Engineering Science and Technology.], 2011, no. 1 (115), pp. 24–31.

14. Russian Federation Patent 2573226 RF, Int.Cl.: G11C 11/40. *Iacheika staticheskoi operativnoi pamiaty* [Static Random Access Memory Cell]. Inventors: Tiurin S.F. Applicant and Proprietor: Tiurin S.F. Application: No. 2014110973/08. Date of filing: March 21, 2014. Date of publication: January 20, 2016. Bull. No. 2.

15. Chekmarev S.A. *Sposob i sistema inektsii oshibok dlia testirovaniia sboeustoichivykh protssessorov bortovykh sistem kosmicheskikh apparatov* [Method and System of Error Injection for Testing the Fault Tolerance Processor on-the Board Control System of Spacecraft]. *Vestnik Sibirskogo gosudarstvennogo aerokosmicheskogo universiteta im. M.F. Reshetneva* [Bull. of Siberian State Aerospace University named after M.F. Reshetnev], 2014, iss. 4 (56). Available at: <http://cyberleninka.ru/article/n/sposob-i-sistema-inektsii-oshibok-dlya-testirovaniya-sboeustoychevyh-protssessorov-bortovyh-sistem-kosmicheskikh-apparatov> (accessed: 16.12.2016).

16. Avduevskii V.S. et al. *Nadezhnost i effektivnost v tekhnike. Spravochnik v 10 t. T. 2. Matematicheskie metody v teorii nadezhnosti i effektivnosti. Pod red. B.V. Gnedenko* [Reliability and Effectiveness in Engineering. Manual in 10 Volumes. Vol. 2, Mathematical Methods in Reliability and Effectiveness Theory. Edited by B.V. Gnedenko]. Moscow, Mashinostroenie Publ., 1987. 280 p.

17. Shubinskii I.B. *Nadezhnye otkazoustoichivye informatsionnye sistemy. Metody sinteza* [Reliable Fault-Tolerant Information Systems Synthetic Procedures]. Moscow, Zhurnal Nadezhnost Publ., 2016. 544 p.